

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-147887
(43)Date of publication of application : 07.06.1996

(51)Int.Cl. G11B 20/10
H03H 17/00
H03H 21/00
H03M 13/12
H04L 25/497

(21) Application number : 06-285206

(71)Applicant : HITACHI LTD
HITACHI VIDEO IND INF SYST INC

(22) Date of filing : 18.11.1994

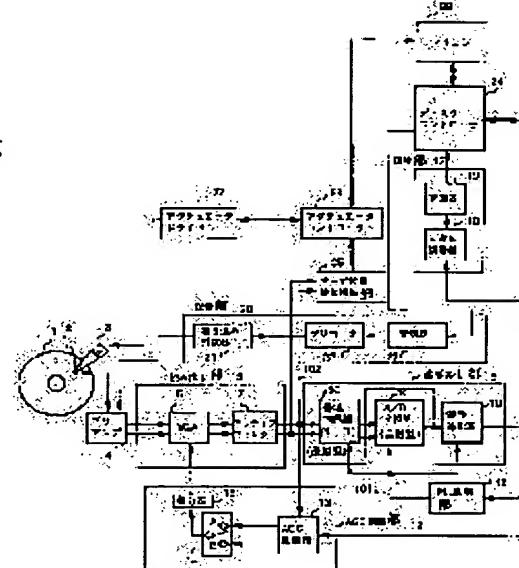
(72)Inventor : SAIKI EISAKU
ASHIKAWA KAZUTOSHI
MITA SEIICHI
SUZUMURA SHINTARO
MIYAZAWA SHOICHI
HIROOKA TSUGUYOSHI

(54) DECODING CIRCUIT AND REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To enable high-precision data sampling by converting the signals processed by a PR processing means into digital data based on the timing of reference clocks.

CONSTITUTION: AGC control is carried out by adjusting the gain of the VGA 6 using sample values converted into digital signals by means of an A/D converter 8. And a PLL controller 16 controls sampling clocks 101 at the time of converting the sample values into digital signals by the A/D converter 8. At the time of accessing, a disk controller 24 instructs to control an actuator controller 26, which calculates the moving speed and the number of moving tracks of the magnetic head using the output signals from a servo positioning detection section and, based on the results of this calculation, drives an actuator 3 through an actuator driver 27 to control the positioning of a magnetic head.



LEGAL STATUS

[Date of request for examination] 05.03.2001

[Date of sending the examiner's decision of rejection] 27.07.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-147887

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl. ⁶	識別記号	序内整理番号
G 1 1 B 20/10	3 4 1 B	9463-5D
H 0 3 H 17/00	B	8842-5 J
	21/00	8842-5 J
H 0 3 M 13/12		8730-5K
H 0 4 L 25/497		9199-5K

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O.L. (全 15 頁)

(21)出願番号 特願平6-285206

(22)出願日 平成6年(1994)11月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 齊木 栄作

神奈川県川崎市麻生区王禅寺1099番地

式会社日立製作所システム開

(72)発明者 芦川 和俊

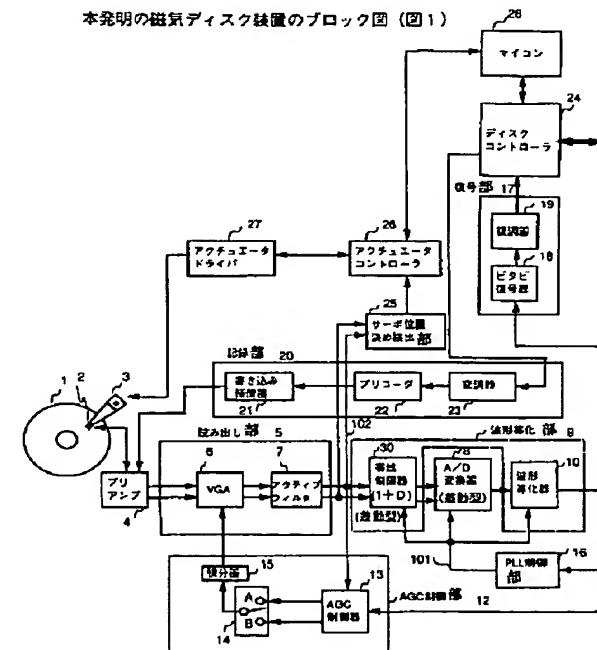
最終頁に統べ

(54) 【発明の名称】 復号回路および再生装置

(57) 【要約】

【目的】 A/D変換器を備える再生装置において、高精度データサンプリング化、高速データ転送化、低消費電力化、低コスト化を実現する。

【構成】 符号化され、変調された信号を入力し、入力した信号を基準クロックに基づいて遅延させ、遅延させた信号と入力した信号とをアナログ信号で加算することにより P R 处理を行なう。加算した信号を、A/D 変換器で基準クロックに基づいてデジタル値に変換し、変換されたデジタル値に基づいてビタビ復号を行なう。A/D 変換器の前段で P R 处理を行なうことと、周波数帯域を低くできるため、高精度なデータサンプリングが可能となる。



1

【特許請求の範囲】

【請求項1】符号化されたデータが記録されている記録媒体から信号を読み出す読み出し手段と、前記読み出し手段により読み出された信号を、アナログ信号においてP R (Partial Response) 处理を施すP R 处理手段と、前記P R 处理手段により処理された信号を、基準クロックのタイミングに基づいてディジタルデータに変換するA / D変換器と、前記A / D変換器により変換されたディジタルデータを波形等化する波形等化手段と、前記波形等化手段により波形等化されたディジタルデータを復号する復号手段と、前記波形等化手段により等化されたディジタルデータに基づいて前記基準クロックの生成を行なうP L L手段とを有することを特徴とする復号回路。

【請求項2】請求項1において、前記P R 处理手段は、前記読み出し手段により読み出された信号を、前記基準クロックに基づいて前記読み出し手段により読み出された信号より遅延させた信号と、前記読み出し手段により読み出された信号とを加算することを特徴とする復号回路。

【請求項3】データが記録されている記録媒体から信号を読み出す読み出し手段と、前記読み出し手段により読み出された信号を、前記基準クロックに基づいてサンプルし、当該サンプルした信号をホールドするサンプル／ホールド手段と、前記サンプル／ホールド手段によりホールドされた信号を、基準クロックのタイミングに基づいてディジタルデータに変換するA / D変換器と、前記A / D変換器により変換されたディジタルデータを波形等化する波形等化手段と、前記波形等化手段により波形等化されたディジタルデータについてP R (Partial Response) 处理を行ない、当該P R 处理されたディジタルデータを出力するP R 处理手段と、前記P R 处理手段より出力されたディジタルデータを復号する復号手段と、前記波形等化手段により等化されたディジタルデータに基づいて前記基準クロックの生成を行なうP L L手段とを有することを特徴とする復号回路。

【請求項4】符号化されたデータが記録されている記録媒体から信号を読み出す読み出し手段と、前記読み出し手段により読み出された信号を、アナログ信号においてP R (Partial Response) 处理を施すP R 处理手段と、前記P R 处理手段により処理された信号を、基準クロックのタイミングに基づいてディジタルデータに変換するA / D変換器と、前記A / D変換器により変換されたディジタルデータを

2

波形等化する波形等化手段と、前記波形等化手段により波形等化されたディジタルデータをビタビ復号する復号手段と、前記波形等化手段により等化されたディジタルデータに基づいて前記基準クロックの生成を行なうP L L手段と、前記読み出し手段を制御する制御手段と、前記復号手段により復号されたデータを出力する出力手段とを有することを特徴とする再生装置。

【請求項5】符号化され、変調された信号を基準クロックに基づいて復号化する復号方法であって、符号化され、変調された信号を入力するステップと、入力した信号を前記基準クロックに基づいて遅延させるステップと、当該遅延させた信号と、前記入力した信号とをアナログ信号として加算するステップと、当該加算した信号を、前記基準クロックに基づいてディジタル値に変換するステップと、当該変換されたディジタル値に基づいてビタビ復号を行なうステップとを有することを特徴とする復号方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、A / D変換器を備える復号回路およびその再生装置に関し、特に、磁気ディスク装置など記録再生装置に好適なA / D変換器を備える復号回路およびその再生装置に関するものである。

【0002】

【従来の技術】磁気ディスク装置に代表される磁気記録再生装置では、年々、高密度記録が進み、大容量化を実現している。また、ユーザニーズと高密度記録化により、データ転送速度の高速化や装置の小型化が進んでいく。

【0003】装置の高性能化、小型化を実現するには、電子回路のL S I化が不可欠である。L S I化は、部品点数、実装面積の削減、高性能、高機能化に大きく役立つものである。最近の磁気ディスク装置では、半導体技術の進歩により、アナログ信号を取り扱う複数の機能部と、ディジタル信号を取り扱う複数の機能部とを1チップにまとめたアナログ／ディジタル混在L S Iが活用されている。代表的なものにリード／ライト信号処理系L S Iがある。

【0004】リード／ライト信号処理方式は、高密度記録化に大きく寄与するもので、最近では、最尤復号検出によるパーシャルレスポンス (P R M L : Partial Response Maximum Likelihood) を利用したデータ再生処理方式が実用されつつある。P R M Lの公知例としては、特開平1-143447号公報、特開昭61-129913号公報に記載されている技術がある。

【0005】P R M Lを用いた従来の磁気ディスク装置の概略構成を図15に示す。図15に示す磁気ディスク

装置は、信号情報を磁気信号として磁気記録媒体1に記録したり、磁気記録媒体1上の磁気信号を電気信号に変換する磁気ヘッド2と、トラッキング制御およびアクセス制御の際に磁気ヘッド2を移動させるためアクチュエータ3と、磁気ヘッド2へ書き込みデータ信号を送り出したり、磁気ヘッド2から再生された電気信号を増幅するプリアンプ4と、プリアンプ4により増幅された信号を常に適正な振幅に制御し出力する電圧制御型可変ゲインアンプ(VGA)6と、VGA6により一定の振幅に制御された再生信号のノイズ除去を行うためのフィルタ7と、フィルタ出力をデジタル信号に変換するためのA/D変換器8と、A/D変換器8により変換されたデジタル信号のナイキスト等化を行るためにデジタルトルランスパーサルフィルタで構成された波形等化器10と、波形等化器出力に対して、PR4処理のためのPR処理器11([1+D]回路で構成)と、PR処理器11の出力に対してビタビ復号を行うビタビ復号器18と、ビタビ復号器18の出力データに対して復調を行なう復調器19と、上位装置であるホストコンピュータ(図示せず)との間のデータ転送、各ブロックの制御を行なうディスクコントローラ24と、フィルタ出力102からヘッド位置決めを行なうためのサーボ位置決め検出手段25と、サーボ位置決め検出手段25の出力を入力して、アクチュエータ制御信号を出力するアクチュエータコントローラ26と、アクチュエータ制御信号を入力してアクチュエータ3を駆動するアクチュエータドライバ27と、フィルタ出力102をA/D変換器8によりデジタル信号に変換する際のサンプリングクロック101を生成するPLL制御手段16と、再生信号振幅を適正值に制御するためのAGC制御手段12と、スイッチ回路14の出力電流を積分し、VGA6のゲイン調整用のコントロール電流を出力する積分器15とを有する。

【0006】図15において、データを再生する際には、磁気ヘッド2から再生された電気信号がプリアンプ4、VGA6、フィルタ7を介してA/D変換器8によりデジタル信号に変換される。フィルタ出力102をA/D変換器8によりデジタル信号に変換するタイミングはPLL制御手段16により適正位相に制御されており、A/D変換器の出力は波形等化器10、PR処理器11を介した後、ビタビ復号器18により復号され、復調器19により復調された後に、ディスクコントローラ24へ転送される。AGC制御は、VGA6のゲインを適正值に制御する。

【0007】従来の磁気ディスク装置において、PRML信号処理方式を採用するには、A/D変換器が必要となる。しかし、高速、高精度なA/D変換器は、消費電力が大きい。しかも、データ転送速度の高速化が急激に進み、取扱う信号の周波数が高くなる。すなわち、広帯域で高精度なアナログ回路や高速動作可能なデジタル回路が必要となり、必然的に消費電力が増大して、リー

ド/ライト信号処理系LSIの1チップ化が困難となる。そこで、従来は、A/D変換器を外付けにしたり、多チップで構成することで対処していた。

【0008】図16に示すように、磁気ディスク装置のリード/ライト信号処理系回路は、アナログ信号を扱うA/D変換器などを集積したアナログ系LSIと、デジタル信号を扱う波形等化器などを集積したデジタル系LSIとの2チップ構成とされていた。

【0009】

- 10 【発明が解決しようとする課題】従来のA/D変換器を用いた信号処理系半導体集積回路では、次に示す問題を有する。

【0010】従来の半導体技術により、データ転送速度がおよそ80Mビット/秒以上では複数のLSIで構成されるため、LSI間での入出力信号のための入出力バッファの消費電力が大きいという問題がある。複数のLSIで構成すると、入出力間での高速データ系信号にロスが発生し、データ転送の高速化が困難になるという問題がある。すなわち、A/D変換器のサンプリング性能は、データ転送速度とともに低下する。従来の信号処理系半導体集積回路では、データ転送速度がおよそ80Mビット/秒以上ではA/D変換器のビット数を6ビット以上としているため、消費電力の面から1チップ化が極めて困難である。

【0011】そこで、本発明は、高精度なデータサンプリングを行なうことのできる復号回路および再生装置を提供することを目的とする。また、復号回路および再生装置において、高速データ転送化、低消費電力化を図ることを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記目的達成のために、符号化されたデータが記録されている記録媒体から信号を読み出す読み出し手段と、前記読み出し手段により読み出された信号を、アナログ信号においてPR(Partial Response)処理を施すPR処理手段と、前記PR処理手段により処理された信号を、基準クロックのタイミングに基づいてデジタルデータに変換するA/D変換器と、前記A/D変換器により変換されたデジタルデータを波形等化する波形等化手段と、前記波形等化手段により波形等化されたデジタルデータを復号する復号手段と、前記波形等化手段により等化されたデジタルデータに基づいて前記基準クロックの生成を行なうPLL手段とを有する。

【0013】また、データが記録されている記録媒体から信号を読み出す読み出し手段と、前記読み出し手段により読み出された信号を、前記基準クロックに基づいてサンプルし、当該サンプルした信号をホールドするサンプル/ホールド手段と、前記サンプル/ホールド手段によりホールドされた信号を、基準クロックのタイミングに基づいてデジタルデータに変換するA/D変換器

と、前記A/D変換器により変換されたディジタルデータを波形等化する波形等化手段と、前記波形等化手段により波形等化されたディジタルデータについてPR (Partial Response)処理を行ない、当該PR処理されたディジタルデータを出力するPR処理手段と、前記PR処理手段より出力されたディジタルデータを復号する復号手段と、前記波形等化手段により等化されたディジタルデータに基づいて前記基準クロックの生成を行なうPLL手段とを有する。

【0014】また、符号化され、変調された信号を基準クロックに基づいて復号化する復号方法としては、符号化され、変調された信号を入力するステップと、入力した信号を前記基準クロックに基づいて遅延させるステップと、当該遅延させた信号と、前記入力した信号とをアナログ信号として加算するステップと、当該加算した信号を、前記基準クロックに基づいてディジタル値に変換するステップと、当該変換されたディジタル値に基づいてビタビ復号を行なうステップとを有することができる。

【0015】

【作用】本発明においては、読み出し手段ではデータが記録されている記録媒体から信号を読み出し、PR処理手段では、前記読み出し手段により読み出された信号をアナログ信号のままのPR処理する。A/D変換器では、PR処理手段により処理された信号を、基準クロックのタイミングに基づいてディジタルデータに変換し、波形等化手段がA/D変換器により変換されたディジタルデータを波形等化する。復号手段では、波形等化手段により波形等化されたディジタルデータを復号する。また、PLL手段では、波形等化手段により等化されたディジタルデータに基づいて前記基準クロックの生成を行なう。

【0016】このように、PR処理手段をA/D変換器の前段に配置することで、信号周波数帯域を低くできるため、高精度なデータサンプリングを行なうことでき、また、高速データ転送に対応することができる。さらに、PR処理手段およびA/D変換器を差動型構成とすることで、高精度なデータサンプリングが可能となり、A/D変換器のビット数を低減でき、波形等化手段などの回路規模も削減できることになる。A/D変換器のビット数を低減することにより、これらの読み出し手段と、PR処理手段と、A/D変換器と、波形等化手段と、復号手段と、PLL手段とを同一チップ上に集積することが可能となる。

【0017】また、A/D変換器の前段にサンプル/ホールド回路を設けるようにしても、高精度なデータサンプリングが可能となり、高速データ転送に対応できる。さらに、サンプル/ホールド回路およびA/D変換器を差動型回路構成とすることで、高精度なデータサンプリングが可能となる。その結果、該A/D変換器のビット

数を削減できるので、低消費電力化を図ることができます。

【0018】本発明によれば、A/D変換器を備える再生回路として、高集積したA/D変換器内蔵再生用半導体集積回路を構成でき、装置の小型化、高速化、低電力化を図ることができる。

【0019】

【実施例】以下、本発明の実施例を記録再生装置を代表する磁気ディスク装置を例にして説明する。図1は、本10実施例の特徴を示す磁気ディスク装置のプロシク構成図を示している。

【0020】近年、磁気ディスク装置において、復号器にディジタル値を使用したビタビ復号方式が用いられている。ビタビ復号はディジタル的に最尤復号 (ML : Maximum Likelihood) を実現する方法の一つであり、時系列的な再生信号値の組合せを考慮した復号方法である。ディジタル値を使用したビタビ復号を用いた場合、PLL制御部およびAGC制御部においてもディジタル値を使用した構成が適している。磁気ディスク装置の信号処理系にディジタル的な最尤復号を用いた場合、パーシャルレスポンス (PR : Partial Response) という、磁気記録媒体の伝送特性に適合した電力スペクトルを有する符号形態が併用される。本実施例における磁気ディスク装置に適合するものとしてPR4 (Partial Response Class4) があげられる。パーシャルレスポンスと最尤復号とを併用して磁気ディスク装置の高密度化を実現する部はPRML (Partial Response Maximum Likelihood) と呼ばれる。本実施例における磁気ディスク装置は、このPRMLを利用した再生装置であって、A/D20変換器においてアナログ信号をディジタル値に変換する際に、A/D変換器の前段にPR処理部を配置することによって、帯域を狭くし、高い周波数領域においての雑音を低く抑え、再生信号のS/Nを高くしている。

【0021】図1に示す磁気ディスク装置は、磁気ヘッド2に対して高速回転する磁気記録媒体1と、信号情報を磁気信号として磁気記録媒体1に記録したり、磁気記録媒体1上の磁気信号を電気信号に変換する磁気ヘッド2と、トラッキング制御およびアクセス制御の際に磁気ヘッド2を移動させるためアクチュエータ3と、磁気ヘッド2へ書き込みデータ信号を送したり、磁気ヘッド2から再生された電気信号を増幅するプリアンプ4と、プリアンプ4によって増幅された信号を常に適正な振幅に制御し出力する電圧制御型可変ゲインアンプ (VGA) と、VGA6によって一定の振幅に制御された再生信号のノイズ除去およびアナログ波形等化を行うためのアクティブフィルタ7と、PR4処理により帯域制限を行なう帯域制限器30 ([1+D]回路で構成) と、帯域制限器30の出力をディジタル信号に変換するためのA/D変換器8と、A/D変換器8によって変換されたデジタル信号を高精度に波形等化を行うためにディジタ50

ルトランスマルチフィルタで構成された波形等化器10と、波形等化器10の出力に対して、ビタビ復号を行うビタビ復号器18と、ビタビ復号器18の出力データに対して復調を行う復調器19と、上位装置であるホストコンピュータとの間のデータ転送、各ブロックの制御信号を行なうディスクコントローラ24と、アクティブフィルタ7のアナログ波形等化しない出力信号をもとにヘッド位置決めを行なうためのサーボ位置決め検出器25と、サーボ位置決め検出器25の出力を入力して、アクチュエータ制御信号を出力するアクチュエータコントローラ26と、アクチュエータ制御信号を入力しアクチュエータ3を駆動するアクチュエータドライバ27と、帯域制限器30の出力をA/D変換器8によってデジタル信号に変換する際の基準クロックとなるサンプリングクロックを生成するPLL制御部16と、再生信号振幅を適正值に制御するためのAGC制御部12と、ディスクコントローラ24からのデータを符号化するための変調器23と、再生側でのPR等化とは逆の干渉特性を与えるためのプリコーダ22と、磁化干渉を補正するための書き込み補償器21と、ディスクドライブ全体を制御するマイコン28とを有する。

【0022】また、VGA6とアクティブフィルタ7により、読み出し部5を構成する。さらに、読み出し部5としては、磁気ヘッド2、アクチュエータ3およびプリアンプ4を備えるようにしてもよい。ビタビ復号器18と復調器19とにより、復号部17を構成する。また、AGC制御器13とスイッチ14と積分器15とによりAGC制御部12を構成し、変調器23とプリコーダ22と書き込み補償器21とで記録部20を構成している。

【0023】図2に、帯域制限器30およびA/D変換器の構成図を示す。

【0024】帯域制限器30は、アナログ入力信号102を1サンプリングクロック分だけ遅延させる遅延回路111(D)と、アナログ入力信号102と1サンプリングクロック分だけ遅延させた信号とを加算する加算回路112とを有する。遅延回路は、例えば、サンプル/ホールド回路をマスター/スレーブ方式にすることにより構成できる。図3に、サンプル/ホールド回路を利用した場合の帯域制限器の構成図を示す。図3において、スイッチ301、2つのコンデンサC1およびアナログアンプ311によりサンプル回路321を構成し、スイッチ302、2つのコンデンサC2およびアナログアンプ312によりホールド回路322を構成している。スイッチ301は、サンプリングクロック101に従ってオン/オフし、これにより、アナログ信号がサンプリングクロック101のタイミングにしたがってサンプルされる。また、スイッチ302は、反転回路303を介してサンプリングクロック101を入力し、これに従ってオフ/オンし、サンプリングクロック101を反転させ

たタイミングにしたがってサンプル回路321から出力された信号をホールドする。これにより、1クロック分アナログ信号を遅延させることができる。差動型アナログ加算器112は、遅延された信号と、アナログ入力信号102とを加算して出力する。

【0025】また、遅延回路111を、サンプリングクロックを用いない構成、たとえば、Gmアナログアンプの回路遅延を用いても良い。この場合の構成を図4に示す。図4においては、図1および図2に示すサンプリングクロック101は、帯域制限器30に入力させないようにする。図4においては、Gmアナログアンプ401および2つのコンデンサ11により遅延回路を構成し、さらに、Gmアナログアンプ402および2つのコンデンサ12により遅延回路を構成することにより2段構成としている。遅延回路の段数は、遅延量によりさらに多段にことができる。この場合、遅延時間 Δt は、相互コンダクタンス $g_m = 1/R$ とし、コンデンサの容量をCとすると、回路時定数 $\tau = CR = C \times 1/g_m$ で表され(ただし、 g_m は動作電流に比例する)、遅延時間 Δt は回路時定数 τ に比例する。このため、任意の遅延時間を設定することができる。

【0026】また、図6に帯域制限器30における信号の波形を示す。図2において、帯域制限器30は、図6に示すように、アナログ入力信号102と、1サンプリングクロック分だけ遅延させた信号である遅延回路出力信号a1とを加算回路112により加算し、出力信号a2を出力するので、アナログ信号で(1+D)の処理を行なうことになる。

【0027】また、図2においては、A/D変換器8をフラッシュ型の4ビット構成のものを図示しており、A/D変換器8は、コンパレータ回路81とエンコーダ・ラッチ回路82とを有する。また、本実施例では、A/D変換器8を差動型回路構成とすることにより、耐ノイズ特性を向上させている。A/D変換器8の入力周波数帯域は、帯域制限器30のPR処理により、狭帯域化されるため、A/D変換器8の広帯域化は従来方式に比べて軽減される。

【0028】図5に、再生信号の周波数スペクトラムの一例を示す。図5は、A/D変換器図1および図2に示す入力点での再生信号周波数スペクトラムを、帯域制限器がある場合とない場合について表している。ここでは、帯域制限器を図2に示す(1+D)回路として特性表示している。図5に示すように、A/D変換器の前段にPR処理を行なうことによって、帯域を狭く(圧縮)する効果が有る。すなわち、高い周波数領域においての雑音を低く抑えることができ、再生信号のS/Nを高められる効果が有る。このことは、高密度記録ができ、大容量化が実現できることになる。また、ここでは、変調符号としては8-9変換符号を用いた例を示している。

8-9変換符号とは、8ビットのデータを9ビットのデ

ータに符号化するものであり、データ”1”とデータ”1”との間にデータ”0”的数が0～4個に制限される。例えば、データ転送速度が80Mビット/秒では、サンプリングクロックf CLKは90MHzとなり、アナログ入力信号の周波数は9MHz～45MHzの間で変化する。

【0029】このように、図3もしくは図4に示すような構成により、帯域制限を行なうことができる。

【0030】また、図7に、図1に示す波形等化器10の回路構成を示す。図7において、波形等化器10は、9タップ構成とし、遅延回路501～508により、1クロック分、入力信号をそれぞれ遅延させ、乗算器510～518によりあらかじめ設定しておいた係数C1～C8をそれぞれ乗算し、加算器520によりそれらを加算する。乗算器510～518のそれぞれに設定される係数C1～C8の値は、例えば、C4を1とし、C3およびC5を0.5とし、C2およびC6を0.25とし、C1およびC7を0.125とし、C0およびC8を0.0625として、左右対称となるように設定することにより、波形を等化することができる。また、A/D変換器8の並列出力のビット数にあわせて備え、遅延回路501～508、乗算器510～518および加算器520は、それぞれ備えられる。これにより、波形等化器10は、A/D変換器8から出力されたデジタル値を波形等化して出力することができる。

【0031】本実施例の構成では、A/D変換器8の前段にPR処理を行なう帯域制限器30を備えるため、S/Nの劣化度が低く抑えることができ、A/D変換器8でのデータサンプリングが高精度に行なえる。すなわち、量子化誤差を低く抑えることができることになる。また、本実施例は、データ転送速度が高くなるほどに有効となるものである。

【0032】さらに、磁気ディスク装置では、磁気記録媒体1を有效地に使用するため、磁気記録媒体1の内周と外周とで記録密度が略一定となるようなゾーン記録方式を採用する機種が多数を占めるようになってきている。この記録方式を実用するためには、アクティブフィルタが必要になる。本実施例においては、アクティブフィルタの構成を図8に示すような構成とする。図8にアクティブフィルタのブロック構成図を示す。

【0033】図8においては、2次のローパスフィルタ601、605および606と1次のローパスフィルタ608とにより、7次のローパスフィルタを構成しており、ゾーン記録方式では、各ゾーン毎に記録再生周波数を変化させていため、各ゾーンでカットオフ周波数およびアナログ波形等化量を切り替える必要がある。各ゾーンに対応したレジスタ情報に従い、fc制御回路609および611と、ゲイン制御回路610とを介して、2次のローパスフィルタ601、605および606と1次のローパスフィルタ608とのカットオフ周波数およ

びアナログ波形等化量をそれぞれ切り替えることができる。

【0034】このようなアクティブフィルタを備えることにより、ゾーン記録方式を実現することができる。

【0035】つぎに、図1に示した本発明の磁気ディスク装置の動作を説明する。図1において、磁気記録媒体1から磁気ヘッド2によって再生されたユーザデータ領域およびID領域の再生信号は、プリアンプ4によって増幅され、VGA6によって一定の振幅に制御され、アクティブフィルタ7によって高域ノイズのカットおよびアナログ波形等化される。帯域制限器30でアナログ信号によりPR処理が行なわれ、A/D変換器8によってデジタル信号に変換され、波形等化器10によって高精度に波形等化され、ビタビ復号器18によって復号され、復調器19によって復調され、ディスクコントローラ24へ取り込まれる。ID領域の復調信号は、ディスクコントローラ24によって記録時もしくは再生時のアクセス時の制御に使用される。AGC制御は、A/D変換器8によってデジタル信号に変換されたサンプル値を用いて、VGA6のゲインを調整することで行う。また、A/D変換器8によってデジタル信号に変換する際の基準クロックであるサンプリングクロック101は、PLL制御部16によって位相制御されており、再生信号102に同期するように位相調整される。一方、サーボ領域においては、サーボ位置決め検出部25によって、ヘッドの位置情報が復調され、アクチュエータコントローラ26にシリンド番号値、トラッキング誤差信号値として取り込まれる。AGC制御は、A/D変換器8によってデジタル信号に変換されたサンプル値を用いて、VGA6のゲインを調整することで行う。また、A/D変換器8によってデジタル信号に変換する際のサンプリングクロック101は、PLL制御器16によって制御されている。アクセスを行う際には、ディスクコントローラ24の命令により、アクチュエータコントローラ26を制御し、アクチュエータコントローラ26はサーボ位置決め検出器部からの出力信号を用いて移動速度と移動トラック数とを計算し、この計算値に基づいてアクチュエータドライバ27を介してアクチュエータ3を駆動し、磁気ヘッド2のポジショニング制御を行う。

【0036】本実施例では、PR等化を例に説明したが、EPR(Extended PR)やEEPR(Extended EPR)に適用しても良い。EPR等化に適用する場合には、PR処理は(1+D)回路と(1+D)回路とをシリーズに接続する構成とすることができる。

【0037】本実施例によれば、A/D変換器の前段のアナログ信号においてPR処理を行なうことによって、帯域を狭くし、高い周波数領域においての雑音を低く抑えることができ、再生信号のS/Nを高くできる。

【0038】さらに、高速データ転送に対応するためには、信号処理機能を1チップのLSIに高集積することが不可欠である。この場合、アナログ回路とデジタル回路とが混在することから、デジタル回路などから発生するノイズがアナログ性能を低下させてしまう問題がある。この問題を解決する方策として、A/D変換器8の差動入力型回路構成が有効ではあるが、入力信号がラダー抵抗を通過するため、入力信号周波数が高いものには対処することが極めて困難となる。本実施例では、入力信号周波数成分を従来方式に比べ大幅に低減できるため、高速データ転送にも対応でき、かつ、高精度サンプリングが実現できる。

【0039】上述した効果によりサンプリング誤差が低減でき、その結果、S/N劣化度を大きく改善することが可能となる。

【0040】例えば、従来、6ビットで構成していたA/D変換器を性能劣化を招かず、すなわち、有効ビットを維持しつつ5ビットまたはそれ以下のビット数で構成できる。この結果、回路規模、消費電力、チップサイズをそれぞれ低減でき、その効果は、極めて大きい。具体的には、5ビットに構成すれば、図9に示すように、読みだし部と、A/D変換器と、波形等化部と、復号部と、PLL部と、AGC制御部と、記録部とを少なくとも1チップに集積可能となり、高速データ転送に対応できることになる。

【0041】つぎに、第2の実施例を図10を参照して説明する。

【0042】図10は、第2の実施例の特徴を示す磁気ディスク装置のブロック構成図を示している。第2の実施例においては、A/D変換器においてアナログ信号をデジタル値に変換する際に、A/D変換器の前段にサンプルホールド回路を備え、サンプルホールド回路によりDC的なレベルにして、A/D変換器におけるサンプリング誤差を極力小さくしている。

【0043】図10に示す構成において、図1に示す構成と異なるのは、アクティブフィルタ7の出力をサンプリングクロックによってサンプル／ホールドを行なうためのサンプル／ホールド回路31を有することであり、また、A/D変換器8の後段に、A/D変換器8によって変換されたデジタル信号のナイキスト等化を行うためにデジタルトランスバーサルフィルタの波形等化器10と、PR処理のため量子化出力の帯域制限を行うPR処理器11（[1+D]回路で構成）とを有することである。

【0044】図11に、本実施例の差動型のサンプル／ホールド回路31と、A/D変換器8とのブロック構成図を示す。図11に示すサンプル／ホールド回路31は、前述した第1の実施例における図3に示すようなサンプル／ホールド回路を利用することができる。

【0045】図11において、A/D変換器8は、たと

えば、4ビットのフラッシュ型でコンパレータ回路と、エンコーダ／ラッチ回路とで構成している。すなわち、15個のコンパレータ回路の出力はエンコーダ／ラッチ回路に入力され、4ビットのデジタル出力信号として後段の波形等化器10に送られる。本実施例では、コンパレータ回路の前段にサンプル／ホールド回路31を付加することで、高周波の入力信号に対してもA/D変換器におけるサンプリング誤差を極力小さくすることができる。また、本実施例では、A/D変換器8の入力周波数は、サンプル／ホールド回路31により、DC的なレベルとなり、A/D変換器8の高速サンプリングが容易に実現できる。すなわち、サンプル／ホールド回路31を設けることで、A/D変換器を差動型回路で構成でき、耐ノイズ特性を向上させることができる。ここで、回路間でのノイズ干渉を極力低減するためには、サンプル／ホールド回路31とA/D変換器8の電源端子とのグランド端子を共通として、他の回路ブロックと分離することも大切である。

【0046】図12に、A/D変換器のAC特性の一つであるS/N劣化度の評価結果の一例を示す。図12に示すように、サンプル／ホールド回路31をA/D変換器の前段に備える場合と備えない場合とのS/N劣化度を比較することにより、アナログ入力信号の入力周波数に対するサンプル／ホールド機能の効果がわかる。図12においては、入力周波数をサンプリングクロックで規格化している。また、変調符号としては8-9変換符号を用いた例を示している。データ転送速度が80Mビット／秒ではサンプリングクロックfCLKは90MHzとなり、アナログ入力信号の周波数は9MHz～45MHzの間で変化する。

【0047】図12に示すように、A/D変換器は、入力周波数が高くなるのに従い、S/N劣化度は増大する。すなわち、ACダイナミック精度は信号周波数が高くなるほど低下し、有効ビット数が少なくなることになる。そこで、サンプル／ホールド回路を備えることで、サンプリング誤差が低減でき、その結果、S/N劣化度を大きく改善することが可能となる。サンプル／ホールド機能がある場合と、ない場合を比較すると、高周波入力範囲である0.5fCLK（45MHzに相当）のポイントでS/N劣化度は約半分に低減される。また、低周波入力範囲である0.125fCLKでも同様な効果がある。すなわち、サンプル／ホールド回路31を付加することで、S/N劣化度を低く抑えることが可能となることから、従来、サンプル／ホールド機能なしで、6ビットで構成していたA/D変換器を性能劣化を招かず、5ビットまたはそれ以下のビット数に削減できる。

この結果、回路規模、消費電力、チップサイズをそれぞれ低減でき、さらには、高速データ転送を実現でき、その効果は極めて大きい。

【0048】本実施例においては、PR等化を例に説明

したが、EPR (Extended PR) やEEP (Extended EPR) に適用しても良い。EPR等化に適用する場合には、PR処理器は(1+D)回路と(1+D)回路とをシリーズに接続する構成をとることができる。すなわち、PRML信号処理方式、EP RML信号処理方式、EEP RML信号処理方式に応用できる。

【0049】また、図13に示すように、第1の実施例における帯域制限器30と、第2の実施例におけるサンプル／ホールド回路31との両方を、A/D変換器8の前段に備えるようにしてもよい。これにより、さらに、S/N劣化度を低く抑えることが可能となる。

【0050】図14に、従来例と比較した場合の本発明の低消費電力効果の一例をしめす。図14において、従来例としては、図15に示す構成においてA/D変換器、等化器、ビタビ復号器およびその他のデジタル回路を6ビット構成とし、全体のパワーを1.00としたときの各ブロックにおけるパワー比を示している。また、図14において、図1に示す第1の実施例の構成においては、従来技術と同じデータ転送速度にする場合に、A/D変換器（差動型）、等化器、ビタビ復号器およびその他のデジタル回路を5ビット構成としたときに、従来技術における構成の全体のパワーを1.00としてそのパワー比をそれぞれ示している。さらに、図14において、図10に示す第2の実施例の構成においては、従来技術と同じデータ転送速度にする場合に、A/D変換器（差動型）、等化器、ビタビ復号器およびその他のデジタル回路を4ビット構成としたときに、従来技術における構成の全体のパワーを1.00としてそのパワー比をそれぞれ示している。

【0051】従来例の消費電力を1.00とした場合に比べ、本発明の第1の実施例では0.85であり、約15%の削減が見込める。また、本発明の第2の実施例では、0.65となり、約35%の削減効果がある。さらに、各実施例によれば、低消費電力化に伴いチップ面積の削減効果もあり、最終的には、低コスト化が図られる。

【0052】第1および第2の実施例によれば、A/D変換器の前段のアナログ信号でPR処理を行なうことにより、周波数帯域を低くできるため、高精度なデータサンプリングが可能となり、高速データ転送に対応することができる。さらに、A/D変換器を差動型構成とすることで、高精度なデータサンプリングが可能となり、A/D変換器のビット数を低減でき、波形等化部などの回路規模も削減できることになる。すなわち、ビット数を少なくすることにより、図9に示すように、少なくとも、読み出し部と、A/D変換器と、波形等化部と、復号部と、PLL部と、AGC部と、記録部とを同一チップ上に高集積可能となり、リード／ライト信号処理の高速化、高精度化が実現できる。

【0053】また、第2の実施例によれば、A/D変換器の前段に、サンプル／ホールド回路を設けることで、高速データ転送に対応できる。さらに、サンプル／ホールド回路およびA/D変換器を差動型回路構成とすることで、高精度なデータサンプリングが可能となる。その結果、A/D変換器のビット数を削減できることになる。

【0054】また、各実施例によれば、高集積したA/D変換器内蔵記録再生用半導体集積回路を構成でき、記録再生装置の小型化、高速化、低電力化を図ることができる。

【0055】

【発明の効果】本発明によれば、A/D変換器を備える再生回路またはA/D変換器内蔵記録再生用半導体集積回路において、高精度にデータサンプリングを行なうことができる。これにより、高速データ転送化、低消費電力化、低コスト化を実現できる。

【図面の簡単な説明】

【図1】第1の実施例における磁気ディスク装置のプロック図。

【図2】第1の実施例における差動型データサンプリング回路構成図。

【図3】第1の実施例における帯域制限器の回路構成図。

【図4】第1の実施例における帯域制限器の他の回路構成図。

【図5】第1の実施例における再生信号の周波数特性を示す説明図。

【図6】第1の実施例における帯域制限器での信号波形を示す説明図。

【図7】第1の実施例における波形等化器の回路構成図。

【図8】第1の実施例におけるアクティブフィルタのプロック構成図。

【図9】第1の実施例における磁気ディスクのLSIの配置図。

【図10】第2の実施例における磁気ディスク装置のプロック図。

【図11】第2の実施例における差動型データサンプリング回路構成図。

【図12】第2の実施例におけるA/D変換器のAC特性を示す説明図。

【図13】帯域制限器およびサンプル／ホールド回路を備える場合の他の実施例の構成図。

【図14】第1の実施例および第2の実施例における低消費電力効果を示す説明図。

【図15】従来における磁気ディスク装置のプロック図。

【図16】従来における磁気ディスク装置のLSIの配置図。

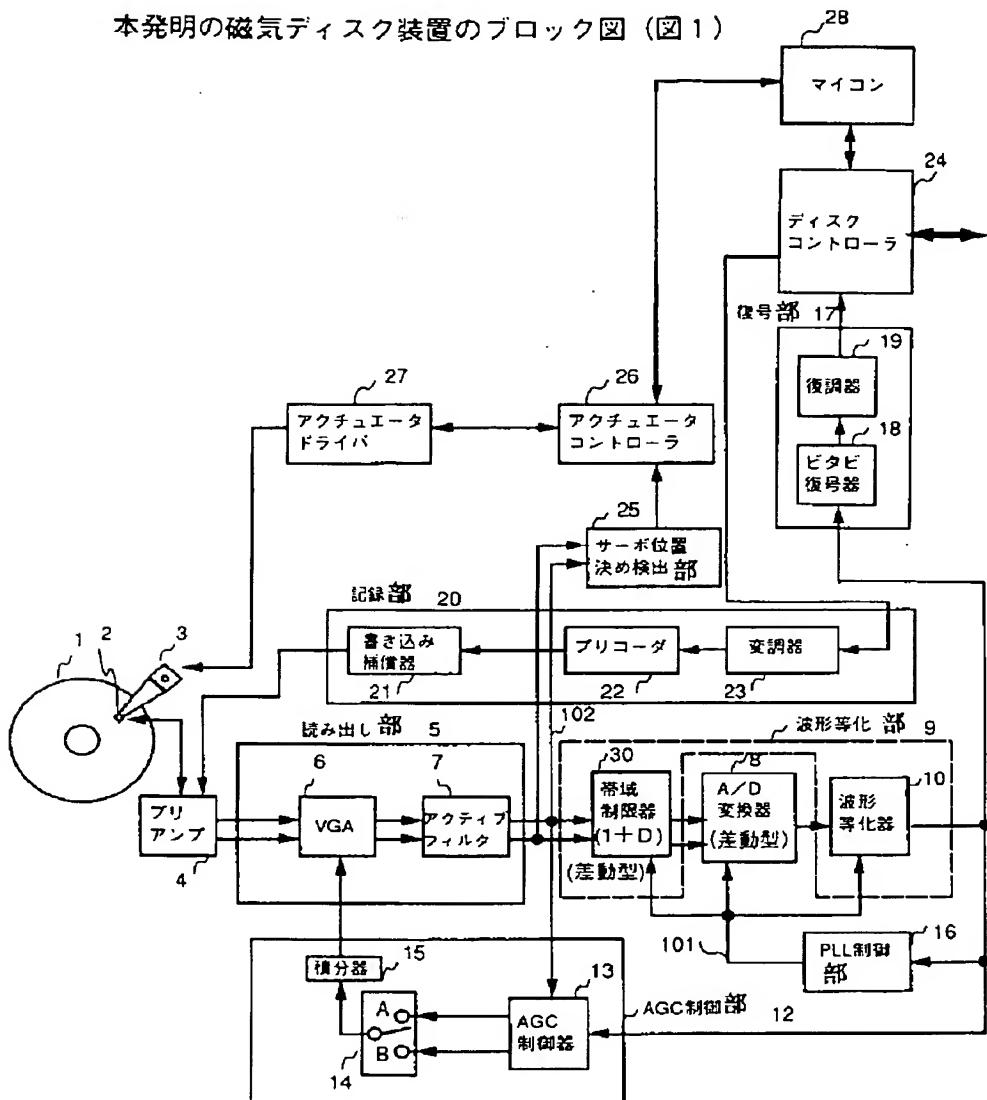
【符号の説明】

1…磁気記録媒体、2…磁気ヘッド、3…アクチュエータ、4…プリアンプ、6…VGA、7…アクティブフィルタ、8…A/D変換器、10…波形等化器、11…P

R処理器、31…サンプルホールド回路、30…帯域制限器。

【図1】

本発明の磁気ディスク装置のブロック図(図1)



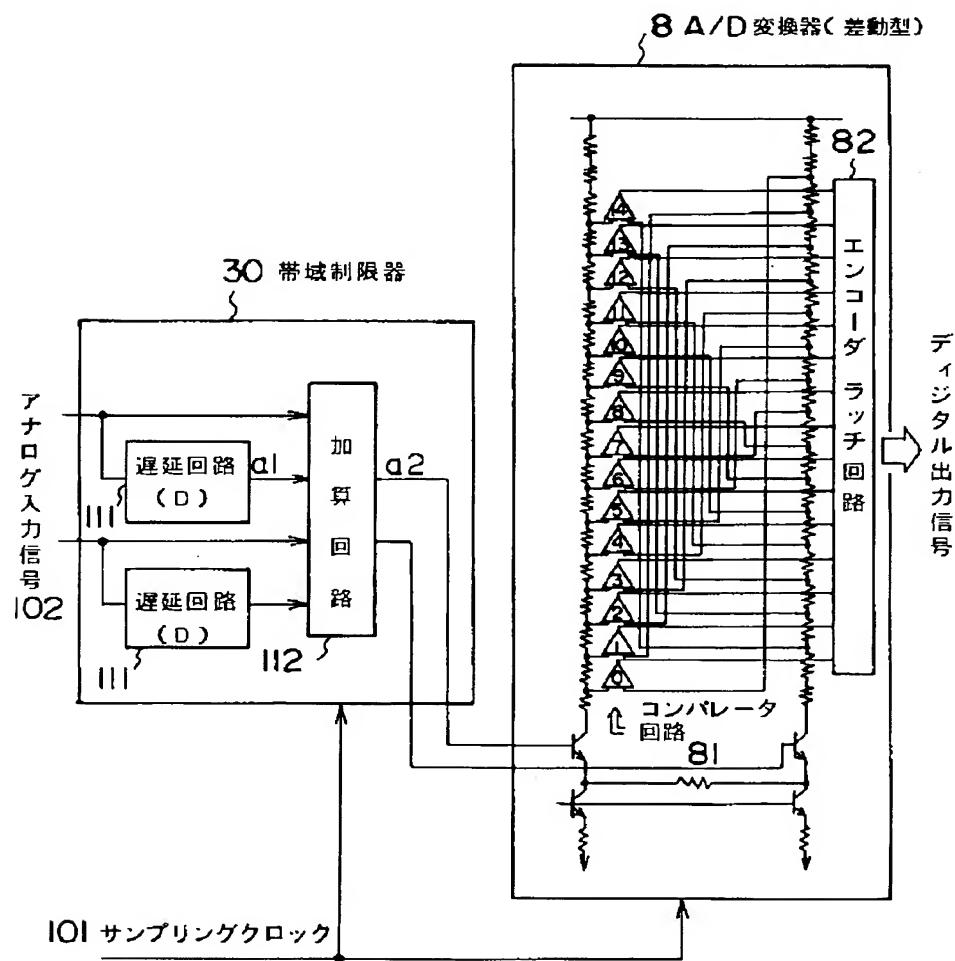
【図13】

図13



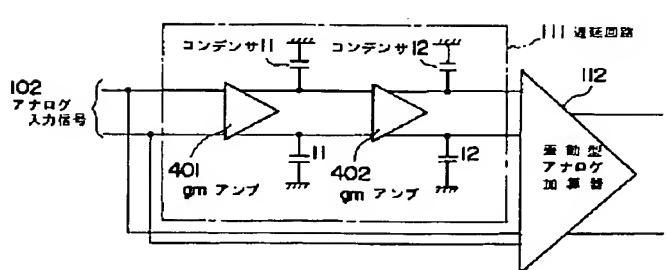
【図2】

本発明の差動型データサンプリング回路構成(図2)



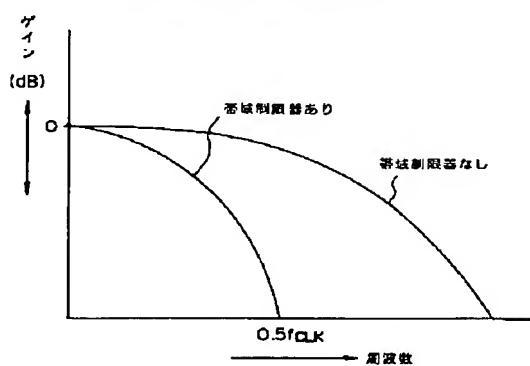
【図4】

四路遅延型(図4)

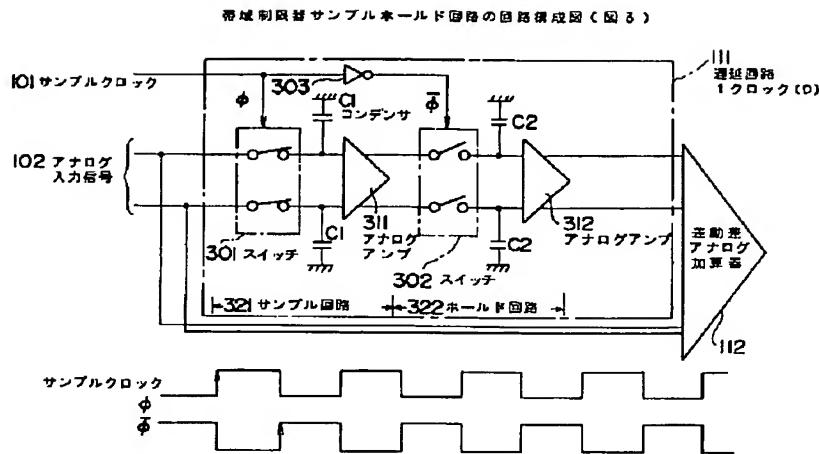


【図5】

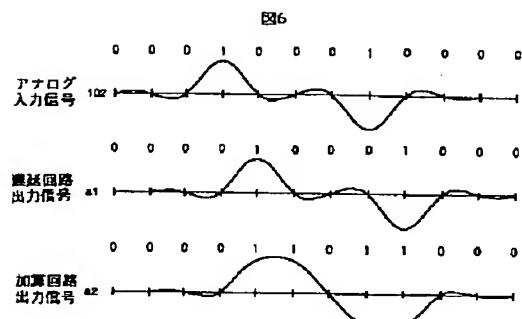
再生信号の周波数特性図(図5)



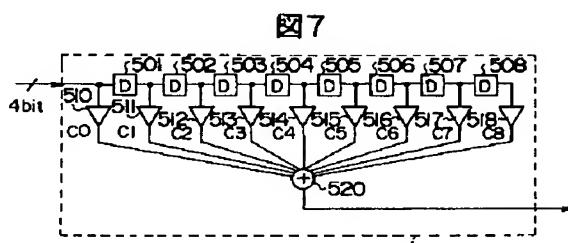
【図3】



【図6】



【图7】

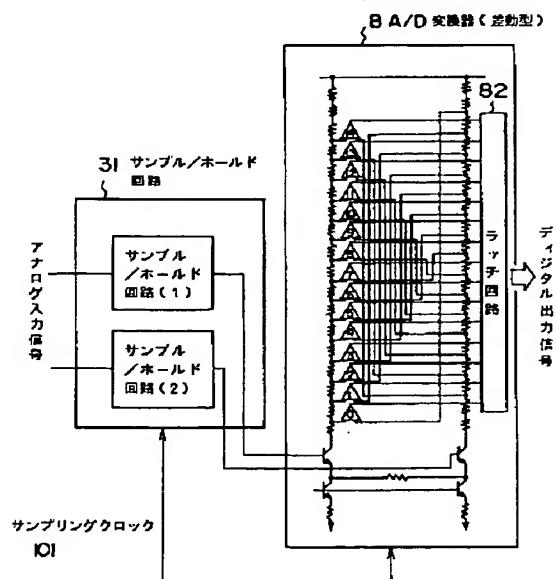
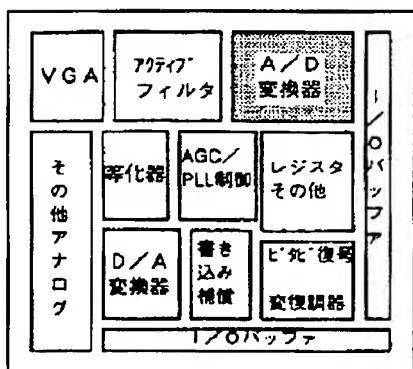


【図11】

【図9】

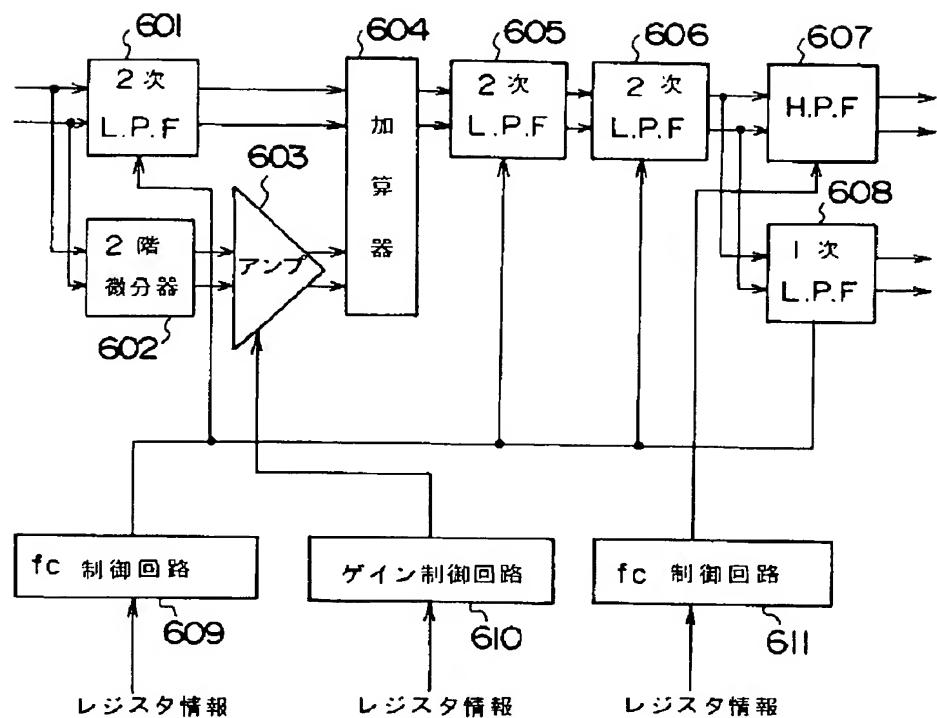
李義明の差動型データサンプリング回路構成(図11)

9



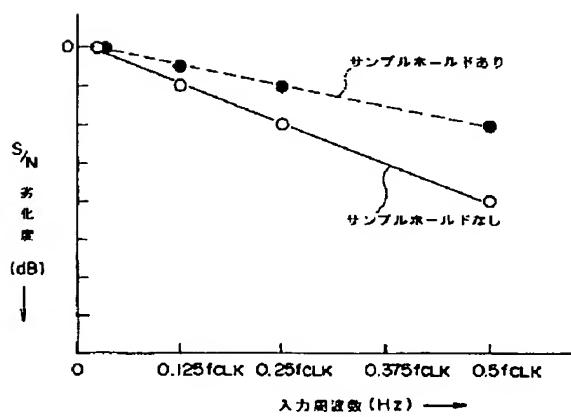
【図8】

アクティブフィルタのブロック構成図(図8)



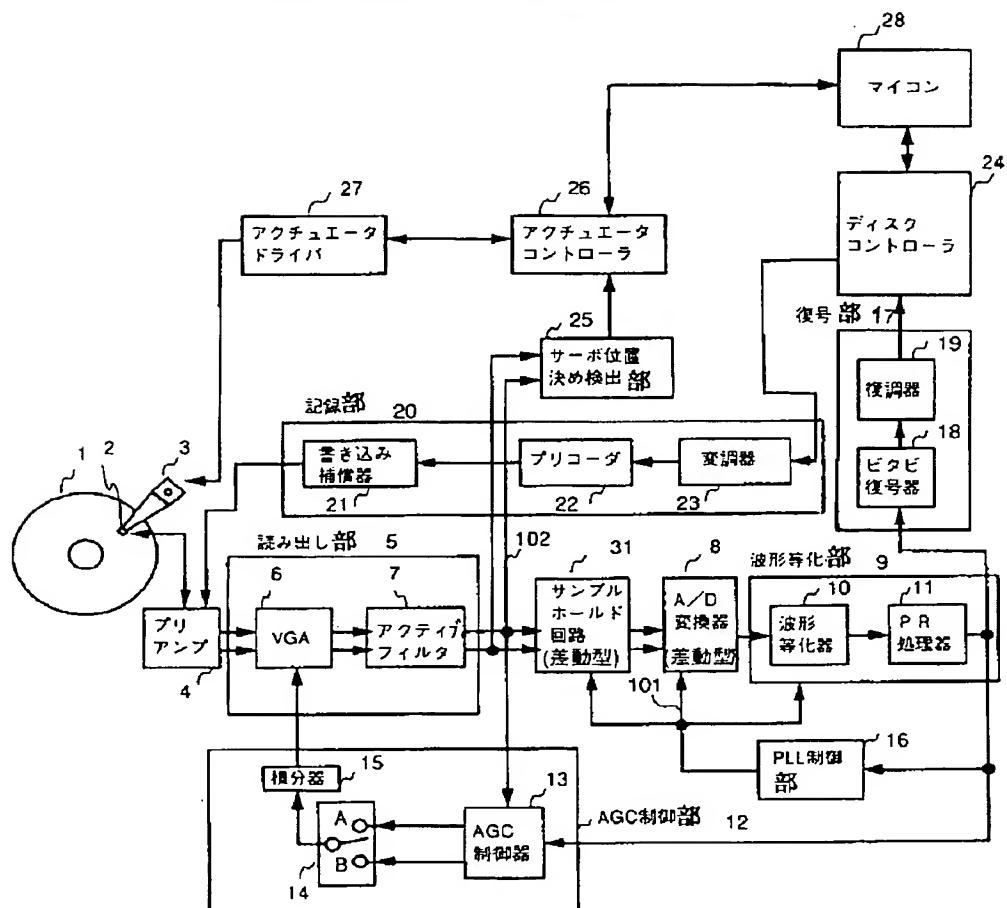
【図12】

A/D変換器のA/C特性(図12)



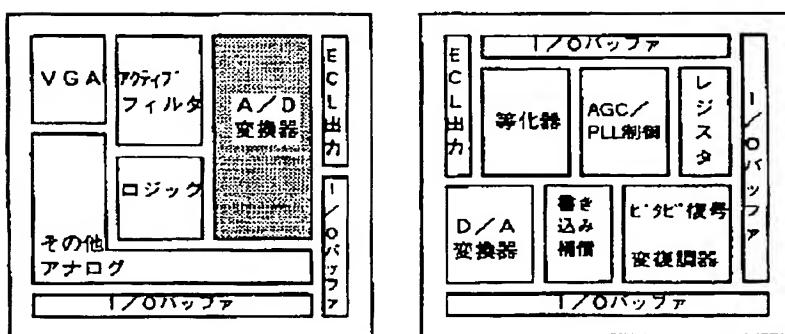
【図10】

本発明の磁気ディスク装置のブロック図(図10)



【図16】

図16



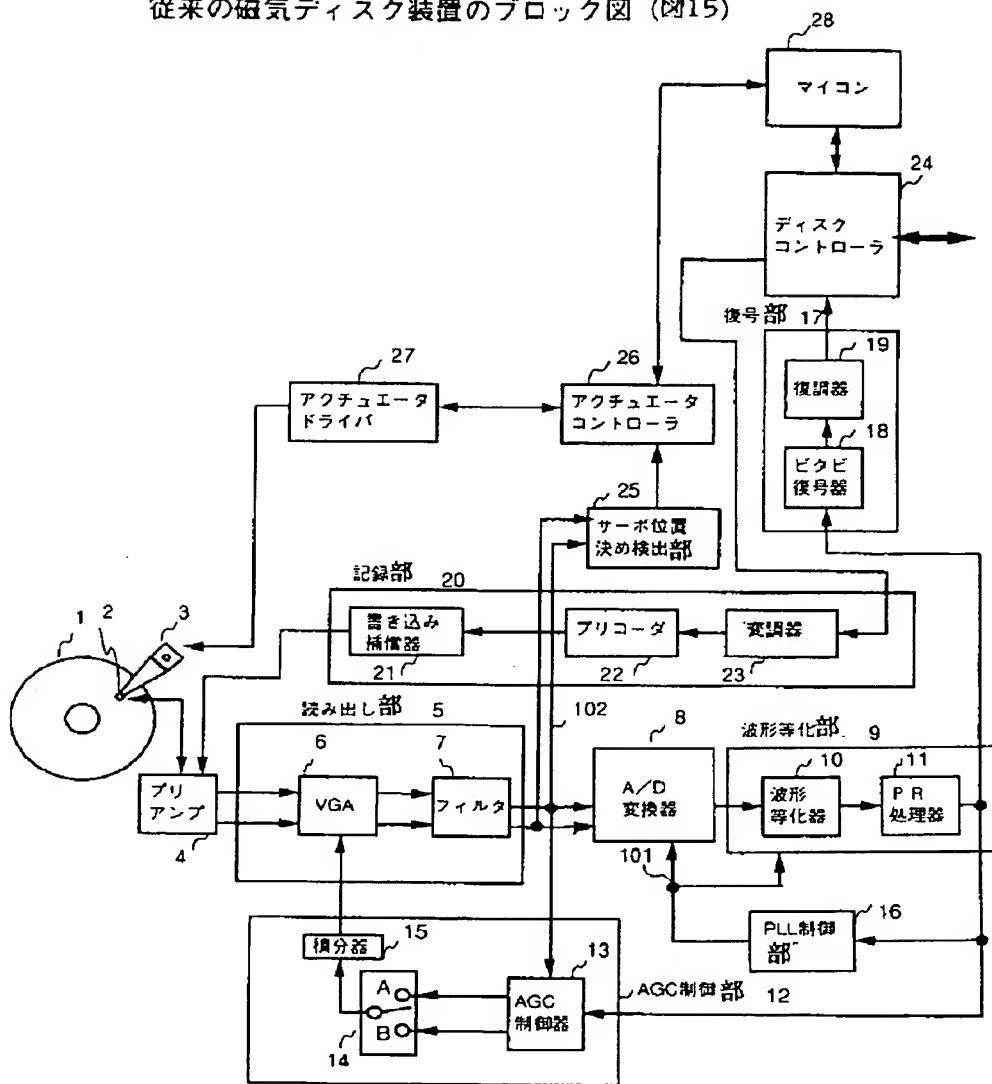
【図14】

本発明の低消費電力効果(図14)

項目	従来例		本発明例			
			第1の実施例		第2の実施例	
	構成	パワー比	構成	パワー比	構成	パワー比
アクティブ フィルタ	・7次 ・イクイリップル型 ・ブースト機能なし	0.08	・7次 ・イクイリップル型 ・ブースト機能あり	0.11	・7次 ・イクイリップル型 ・ブースト機能あり	0.11
AD変換器	・6ビット ・S/H機能なし ・シングルエンド型	0.30	・5ビット ・S/H機能あり ・差動型	0.20	・4ビット ・S/H機能あり ・差動型	0.10
その他 アナログ回路	←	0.15	←	0.15	←	0.15
等化器	・6ビット ・9タップ	0.18	・5ビット ・9タップ	0.15	・4ビット ・9タップ	0.11
ビタビ復号器	・6ビット	0.07	・5ビット	0.05	・4ビット	0.03
その他 デジタル回路	・6ビット基本	0.22	・5ビット基本	0.19	・4ビット基本	0.15
合計	2チップ	1.00	1チップ	0.85	1チップ	0.65

【図15】

従来の磁気ディスク装置のブロック図(図15)



フロントページの続き

(72)発明者 三田 誠一

神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 鈴村 伸太郎

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内

(72)発明者 宮沢 章一

神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72)発明者 広岡 喜嗣

神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内